

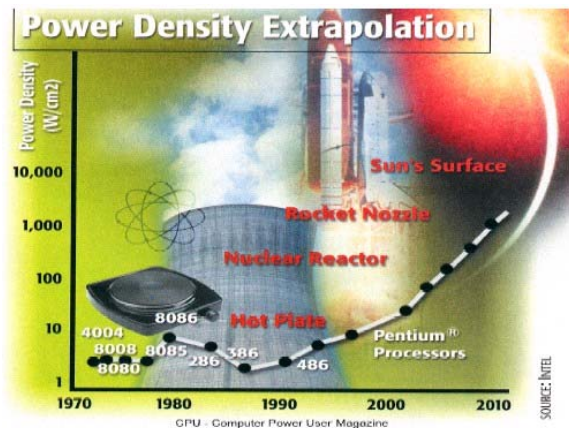
Reducing Power Dissipation while increasing Yield and Defect-tolerance in Subthreshold CMOS

Kristian Granhaug, M.Sc., Universitet i Oslo, Institutt for Informatikk
Snorre Aunet, veileder

International Technology Roadmap for Semiconductors, ITRS, 2005 sammenfatter noen av de viktigste utfordringene for fremtidig VLSI design:

- Kontroll og reduksjon av effektforbruk.
- Forbedret produksjonsutbytte gjennom økt feiltoleranse.

Reduksjon av forsyningsspenningen regnes som den enkleste og mest effektive måten å redusere effektforbruk på, og operasjon av CMOS i *subthreshold*-området regnes som den mest effektive løsningen for effektreduksjon i digitale applikasjoner. Ulempene med redusert forsyningsspennning er åpenbare: lavere strømnivåer fører til redusert hastighet og mindre støymarginer, som igjen resulterer i lavere pålitelighet.



Stadig høyere hastigheter kombinert med mindre dimensjoner fører til en eksponentiell økning i effekttetthet.

Når vi vet at dagens CMOS-teknologi sliter med lavt produksjonsutbytte (*yield*) allerede ved tradisjonelle forsyningsspenninger, er det klart at utfordringene ved pålitelig operasjon i subthreshold er mange. Allikevel er den potensielle gevinsten stor, ved at effektforbruk kan reduseres med flere dekadere.

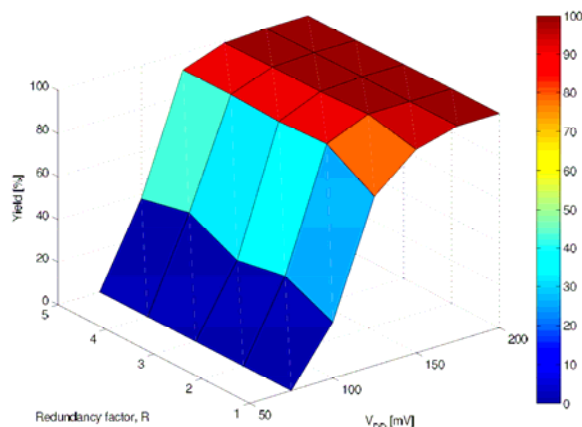
Publikasjoner

K. Granhaug and S. Aunet, "Six Subthreshold Full Adder Cells characterized in 90 nm CMOS technology," *9th IEEE Workshop on Design & Diagnostics of Electronic Circuits & Systems*, Prague, Czech Republic, 2006.

K. Granhaug, S. Aunet and T. S. Lande, "Body-bias Regulator for Ultra Low Power Multifunction CMOS Gates," *IEEE International Symposium on Circuits and Systems, ISCAS*, Kos, Greece, 2006.

K. Granhaug and S. Aunet, "Improving Yield and Defect Tolerance in Multifunction Subthreshold CMOS Gates," *The 21st IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems*, Washington DC, USA, 2006.

Denne oppgaven tar for seg reduksjon av effekt i digitale kretser, samt teknikker for å forbedre yield og defekttoleranse. Arbeidet har resultert i 3 internasjonale konferansebidrag, antatt og presentert på konferanser i regi av IEEE. Gjennom evaluering av seks forskjellige *Full Adder*-strukturer, vises det at implementasjon basert på statisk CMOS gir best resultat for operasjon i subthreshold. Videre utforskes både statiske og dynamiske reguleringsteknikker for å kompensere for variasjoner i temperatur, prosessvariasjoner, mismatch og for defekte transistorer.



Oppnåelig yield kan ses på som en tradeoff mellom forsyningsspennning og redundansfaktor.

En ny teknikk for statisk regulering blir presentert, hvor regulatorer strukturelt ekvivalente med de logiske portene blir brukt for å regulere transistorenes brønn (back-gate). Til slutt utforskes en enkel redundansmetode, hvor to eller flere utganger fra identiske logiske porter driver samme utgangsnode, uten behov for en majoritetsport for å bestemme korrekt utgangsverdi. Gjennom simuleringer med statistisk variasjon av mismatch, vises det at en tentativ lavere grense for oppnåelig forsyningsspennning for en generisk representativ statisk CMOS-port er $V_{DD} = 175$ mV med en redundansfaktor på 2, for fortsatt å kunne oppnå et akseptabelt nivå for yield.

